

EUCG V51 Mk II

UNIVERSAL CLOCK GENERATOR

BEDIENUNGSANLEITUNG

USER´S MANUAL

Date I/01

Inhalt / Content	Seite / Page
Bedienungsanleitung	2
User´s Manual	5
Technische Daten	8
Technical Specifications	8
Lage der Bauelemente	8
Konfiguration / Jumper Settings	9
Configuration / Jumper Settings	9
Konformitätserklärung	10
Conformity Statement	10



LAKE PEOPLE *electronic GmbH*

*development and
manufacturing of
audio electronic*

*Turmstraße 7a
78467 KONSTANZ
GERMANY*

*Tel. +49 (0) 75 31 736 78
Fax +49 (0) 75 31 749 98
www.lake-people.de*

ALLGEMEINES

Der LAKE PEOPLE EUCG V51 Mk II wird gebraucht, um die zum Betrieb von A/D-Wandlern (EADC V54) und Sample-Rate Konvertern (ESRC V52) benötigten Arbeitstakte im DIGI-RACK 503/04/06 zu erzeugen. Weiter kann er zur Takterzeugung / Taktumwandlung im Zusammenhang mit der V58 Karte verwendet werden.

Das Gerät ist auf einer Eurokarte aufgebaut.

Der EUCG V51 besitzt einen internen Oszillator für die üblichen Festfrequenzen 32, 44.1, 48, 96 und 192 kHz, ein AES/EBU Sync Interface und ein Wordclock Sync Interface die über einen Taster auf der Front aktiviert werden können.

Die Karte erzeugt folgende Signale:

256 Fs, 128 Fs, 64 Fs, Fs (WCLK), Error, TCBL und AES-Sync.

Zur Stromversorgung der Karte ist lediglich eine Spannung erforderlich.

INBETRIEBNAHME

Stellen Sie vor dem Einschoben der Karte sicher, dass kein Pin der 64-poligen Steckerleiste verbogen ist.

Die Stromversorgung sollte beim Einsetzen und Entnehmen der Karte abgeschaltet sein.

Montieren Sie die EUCG V51 Mk II Karte immer auf dem angegebenen Steckplatz des DIGI-RACK 503/04/06.

DIE STROMVERSORGUNG

Die Spannungsversorgung des EUCG V51 MK II erfolgt über die Pins 30 a+c für eine DC Eingangsspannung zwischen 8 und 35 Volt oder über die Pins 31 a+c für eine DC Eingangsspannung von 5 Volt.

Die zugehörige Masse wird über die Pins 29 a+c und 32 a+c angeschlossen.

Die Stromaufnahme der Karte ist abhängig von der Betriebsspannung. Der Leistungsbedarf liegt bei ca. 2 Watt.

ACHTUNG:

Bitte beachten Sie beim Anschluss der Betriebsspannung, dass Verpolungen oder Span-

nungen über 5,5 Volt am 5 Volt Eingang (Pins 31 a+c) bzw. 40 Volt am 8-35 Volt Eingang (Pins 30 a+c) zur Zerstörung des Gerätes führen können.

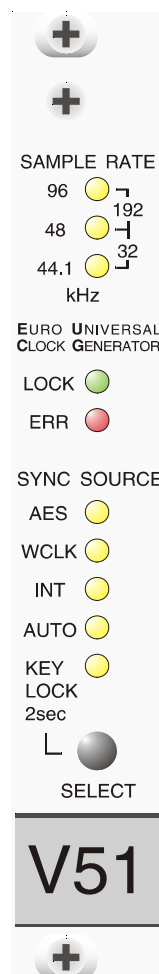
EINSCHALTEN UND RESET

Im Moment des Einschaltens wird ein Reset durchgeführt. Ein Unterspannungs-Sensor überwacht die interne Betriebsspannung und wird bei unzulässigen Abweichungen von dieser Spannung wieder einen Reset ausführen bzw. das Gerät nicht freischalten.

HINWEIS:

Bei Anwendungen mit V52 und V54 Karten wird der Reset dieser Karten zentral von der EUCG V51 Mk II erzeugt und über die "Error"-Leitung (Pin 16 c) an den Bus übergeben.

BEDIENELEMENTE UND ANZEIGEN



SAMPLE-RATE LED's

Die LEDs zeigen die aktuelle Sample-Rate.

LOCK-LED

Die Lock LED zeigt das korrekte Arbeiten an.

ERROR LED

Die Error LED weist auf Fehler hin.

SYNC-SOURCE LEDs

Die Sync-Source LEDs zeigen den aktivierten Eingang an

AUTO LED

Die Auto LED zeigt den aktivierten Auto-Mode an.

KEY-LOCK LED

Die Key-Lock LED leuchtet, wenn der Select Taster verriegelt ist.

SELECT Taster

Mit dem Select-Taster wird ein Sync-Eingang bzw. ein interner Takt angewählt oder der Key-Lock Mode (de-)aktiviert.

DIE SYNC-EINGÄNGE

Die Sync-Eingänge befinden sich auf der 64-poligen Steckerleiste. Sie akzeptieren an den jeweiligen Anschlüssen AES/EBU (Leer)-worte und Wordclock Signale.

Der AES-Sync Eingang befindet sich auf den Pins 4 a+c bzw. 17 a+c der Steckerleiste. Die Masse sollte auf die Pins 3/5 a+c bzw. 18 a+c gelegt werden. Im DIGI-RACK 503/04/06 ist dieser Eingang meist mit einer XLR-Buchse vorkonfektioniert.

Der Eingang ist nach AES 3/11 ausgelegt, trafo-symmetrisch, Impedanz 110 Ohm.

Die Eingangsempfindlichkeit ist < 200 mV.

Der Eingangstakt darf im Bereich 28 kHz bis 210 kHz liegen.

Der Wordclock Eingang befindet sich auf den Pins 2 a+c bzw. 16 a der Steckerleiste. Die Masse sollte auf die Pins 1 a+c bzw. 18 a+c gelegt werden. Im DIGI-RACK 503/04/06 ist der WCLK-Eingang meist mit der BNC-Buchse vorkonfektioniert.

Der Eingang ist unsymmetrisch. Die Eingangsimpedanz lässt sich über einen Jumper auf der EUCG V51 Platine von 75 Ohm auf 10 kOhm konfigurierbar.

Ab Werk ist die Impedanz 75 Ohm.

Die Eingangsempfindlichkeit ist < 200 mV.

Der Eingangstakt darf im Bereich 28 kHz bis 210 kHz liegen.

DIE WAHL DER SYNC-QUELLE

Der Taster zum aktivieren einer Sync-Quelle befindet sich unten auf der Frontplatte und ist mit SELECT bezeichnet. Ein Druck auf den Taster aktiviert zyklisch:

- Interner Takt 32 kHz:
Die INT LED, die LOCK LED und die LEDs 44.1 und 48 kHz leuchten.
- Interner Takt 44.1 kHz:
Die INT LED, die LOCK LED und die LED 44.1 kHz leuchten.
- Interner Takt 48 kHz:
Die INT LED, die LOCK LED und die LED 48 kHz leuchten.
- (Interner Takt 96 kHz):

Die INT LED, die LOCK LED und die LED 96 kHz leuchten.

- (Interner Takt 192 kHz):
Die INT LED, die LOCK LED und die LEDs 48 und 96 kHz leuchten.
- Wordclock-Sync Eingang:
Die WCLK LED leuchtet.
Bei einem gültigen Takt leuchtet die LOCK LED. Die entsprechenden LEDs der Sample-Rate Anzeige leuchten wenn sich der externe Takt in einem Bereich +/- 200 Hz um die üblichen Sample-Rates befindet.
Bei einem ungültigen Takt leuchtet die ERROR LED.
- AES-Sync Eingang:
Die AES LED leuchtet.
Bei einem gültigen Takt leuchtet die LOCK LED. Die entsprechenden LEDs der Sample-Rate Anzeige leuchten wenn sich der externe Takt in einem Bereich +/- 200 Hz um die üblichen Sample-Rates befindet.
Bei einem ungültigen Takt leuchtet die ERROR LED.

HINWEIS:

Die internen Takte 96 kHz und 192 kHz können über die DIP-Switches 3 und 4 auf der Platine aktiviert/deaktiviert werden.

SONDERFUNKTIONEN

AUTO-MODE

Der Auto-Mode dient zur Erhöhung der Betriebssicherheit indem er den Verlust eines externen Sync-Signals überbrückt.

Der Auto-Mode ist über den Dip-Switch 1 auf der Platine aktivierbar/deaktivierbar. Der aktivierte Zustand wird über die AUTO LED auf der Frontplatte signalisiert.

Im aktivierten Auto-Mode wird bei Ausfall eines externen Sync-Signals auf eine ähnliche interne Frequenz geschaltet. Dies wird über das blinken der AES- oder WCLK-LED signalisiert.

Sobald der aktivierte externe Takt wieder vorhanden ist, wird auf diesen zurückgeschaltet und die AES- oder WCLK-LED leuchtet wieder konstant.

Die Umschaltung erfolgt unter folgenden Voraussetzungen:

- Am externen Sync-Eingang muss einmal für kurze Zeit ein gültiges Signal gelegen haben. Diese Zeitspanne wird benötigt um die externe Frequenz zu detektieren und den internen Oszillator vorzubereiten.
- Die externe Frequenz muss sich in einem Bereich von +/- 200 Hz um die vorhandenen internen Frequenzen befinden.

HINWEIS:

Die im Havariefall erzeugte Frequenz ist nicht identisch mit der externen Sync-Frequenz im Sinne eines VCXO, sondern nur ähnlich. Es handelt sich hierbei um die Festfrequenzen des internen Oszillators.

KEY-LOCK

Um eine unbeabsichtigte Bedienung zu vermeiden, kann der SELECT Taster gesperrt werden. Drücken des Tasters für > 2 Sekunden aktiviert/deaktiviert den Key-Lock. Der aktivierte Zustand wird über die KEY-LOCK LED angezeigt.

DIE TAKT AUSGÄNGE

EUCG V51 Mk II erzeugt eine Vielzahl von Signalen (Anschlussbelegung siehe Seite 8). Wenn sich der EUCG V51 Mk II im DIGI RACK 503/04/06 befindet werden diese Informationen an den internen Bus übergeben. Über den Bus werden alle angeschlossenen Module synchron mit versorgt.

256Fs ist das 256-fache der einfachen Taktfrequenz. Sie wird auch als Master-Clock (MCLK) bezeichnet und dient vorzugsweise zum Treiben der Modulatoren von A/D Wandlern. Die Frequenz bezogen auf 48 kHz ist 12.288 MHz.

128Fs ist das 128-fache der einfachen Taktfrequenz. Sie dient vorzugsweise zum Treiben der AES Transmitter und wird auch in SRC's und

ADC's verwendet. Die Frequenz bezogen auf 48 kHz ist 6.144 MHz.

64Fs ist das 64-fache der einfachen Taktfrequenz. Sie wird auch als Bit-Clock (BLCK) oder Serial-Clock (SLCK) bezeichnet und dient zum Bilden des normierten digitalen Datenwortes. Die Frequenz bezogen auf 48 kHz ist 3.072 MHz.

Fs ist die einfache Taktfrequenz. Sie wird auch als Links-Rechts-Clock (LRCLK) bezeichnet, da sie zur Identifizierung der Linken und Rechten Information im digitalen Datenwort benutzt wird. Die Frequenz ist 48 kHz.

ERR ist eine Fehlerinformation, die auf den angeschlossenen Modulkarten für Muting, Lock, Calibrierung etc. verwendet wird.

TCBL ist die sogenannte Blockstart-Information und wird verwendet um die Ausgangsworte von ADC's und SRC's zu synchronisieren.

WCLK ist identisch mit Fs (siehe oben)

AES-Sync ist das aus einer internen oder externen Quelle erzeugte AES-Sync Signal. Es liegt trafosymmetrisch im AES 3/11 Format vor.

GENERAL INFORMATION

The LAKE PEOPLE EUCG V51 Mk II is used to supply A/D converters (EADC V54) and sample rate converters (ESRC V52) with clocks inside the DIGI-RACK 503/04/06. Furthermore it may be used in conjunction with EUDS V58 for clock generating and clock rendering

The unit is built up on a normal euro-card.

EUCG V51 features an internal oscillator for the standard frequencies of 32, 44.1, 48, 96 and 192 kHz, a AES/EBU-sync interface and a wordclock interface. These are activated by means of a frontpanel push button.

The card generates the following signals:

256 Fs, 128 Fs, 64 Fs, Fs (WCLK), Error, TCBL and AES-Sync.

The unit requires only one unipolar supply voltage between 5 ... 35 V.

SET-UP PROCEDUR

Before mounting the card be sure that no pin of the 64-pin connector is bent or otherwise damaged.

The frame's powersupply should be switched off whilst inserting or extracting the card.

The EUCG V51 must be mounted to the dedicated slot of DIGI-RACK 503/04/06.

POWER SUPPLY

EUCG V51 Mk II's supply voltage is applied to pins 30 a+c for a range of 8... 35 volts DC or to pins 31a+c for regulated 5 volts DC.

Corresponding ground should be connected to pins 29 a+c and 32 a+c.

Current consumption depends on the supply voltage used.

The resulting power consumption is aprox. 2 W.

CAUTION:

Please note whilst connecting the power supply that inverting the polarity of the supply voltage or voltages beyond 5.5 V on the 5 V input (pins 31 a+c) or beyond 40 V on the 8 ... 35 V input (pins 30 a+c) may cause serious damages to the unit.

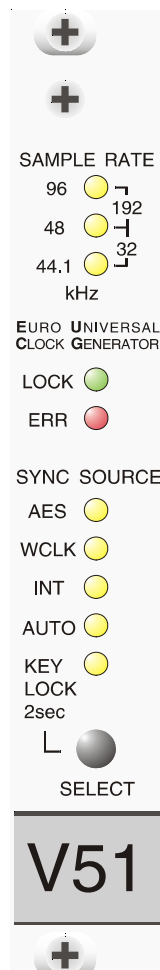
POWER-UP AND RESET

In the moment of power-up, a reset routine is initialized. When the voltage sensor happens to detect an invalid on-board supply voltage, it will either start another reset procedure or simply won't activate the unit.

HINT:

In multichannel applications with ESRC V52 and EADC V54 units, the overall reset function is activated by EUCG V51 Mk II. It will force all related slave units to reset via the "ERROR" bus, connected to pin 16c.

CONTROLS AND DISPLAYS



SAMPLE-RATE LEDs

The LED's display the actual fixed sample rates of the active sync-source.

LOCK LED

The Lock LED displays a correct working an a finished reset procedure.

ERROR LED

The Error LED indicates faulty operation.

SYNC-SOURCE LEDs

The Sync-source LEDs refer to the activated sync input

AUTO LED

The Auto LED shows the activated Auto-Mode

KEY-LOCK LED

The Key-Lock LED displays the locked Select-Button

SYNC-SOURCE BUTTON

This button serves to select the external sync-source, one of the internal clocks or (de-) activates Key-Lock mode.

THE SYNC INPUTS

The sync inputs are situated on the 64-pin connector. They accept AES/EBU (sync)-signals respectively WCLK signals.

The AES-sync input is attached to pins 4 a+c respectively pins 17 a+c of the multipin connector. Ground should be connected to pins 3/5 a+c or 18 a+c.

Inside DIGI-RACK 503/04/06 this input is mostly wired to an XLR socket.

The balanced AES/EBU sync input meets AES 3(11) recommendations. It is transformer balanced, impedance 110 ohms.

The input sensitivity is < 200mV.

The valid clock range is 28 ... 210 kHz.

The wordclock input is attached to pins 2 a+c respectively pin 16 a of the multipin connector. Ground should be connected to pins 1 a+c or 18 a+c.

Inside DIGIRACK 503/04/06 this input is mostly wired to a BNC connector.

Input impedance is selectable to 75 ohms or 10 kohms by means of an internal jumper.

Ex works the impedance is set to 75 ohms.

The input sensitivity is < 200 mV.

The valid clock range is 28 ... 210 kHz.

SELECTING A SYNC SOURCE

The button to select the sync source is found on the front panel and marked with SELECT. Pushing the button will activate in a cyclic manor:

- Internal Clock 32 kHz:
The INT LED, the LOCK LED and the LEDs 44.1 and 48 kHz are lit.
- Internal Clock 44.1 kHz:
The INT LED, the LOCK LED and the 44.1 kHz LED are lit.
- Internal Clock 48 kHz:
The INT LED, the LOCK LED and the 48 kHz LED are lit.
- (Internal Clock 96 kHz):
The INT LED, the LOCK LED and the 96 kHz LED are lit.
- (Internal Clock 192 kHz):
The INT LED, the LOCK LED and the LEDs 48 and 96 kHz are lit.

- Wordclock-Sync Input:

The WCLK LED is lit.

When a valid clock was detected, this is shown by the LOCK LED. Furthermore the dedicated LEDs of the sample-rate display will show the input's clock rate, as far as the computed input frequency is within a range of +/- 200 Hz around the common frequencies.

Invalid clocks will be displayed by the ERROR LED.

- AES-Sync Input:

The AES LED is lit.

When a valid clock was detected, this is shown by the LOCK LED. Furthermore the dedicated LEDs of the sample-rate display will show the input's clock rate, as far as the computed input frequency is within a range of +/- 200 Hz around the common frequencies.

Invalid clocks will be displayed by the ERROR LED.

HINT:

The internal clocks 96 and 192 kHz may be activated / deactivated by means of DIP-switches 3 and 4 on the PCB.

SPECIAL FUNCTIONS

AUTO MODE

The Auto-Mode serves to enhance the operational reliability by bypassing the loss of an external sync signal with a similar internal oscillator frequency.

Auto-Mode is activated/deactivated by means of DIP-switch 1 on the PCB. The activated state is displayed by the AUTO LED on the front panel.

When Auto-Mode is engaged, a dropped external sync signal from the AES-Sync or the WCLK input will be replaced by a similar internally generated oscillator frequency. This is displayed by a flashing sync-source LED on the frontpanel.

As soon as the active external sync is present again, the unit will switch over and the dedicated source LED is lit constantly.

A reliable shifting is proceeded under the following circumstances:

- The external sync input must have had a valid sync signal for a short time. This time span is needed to detect the external frequency and prepare the internal oscillator.
- The external frequency must be in a range of +/- 200 Hz around the internal fixed frequencies.

HINT:

The internal frequency which is generated in case of a dropped external sync is not identical to the external frequency in terms of a VCXO - but similar !

It is one of the fixed frequencies of the internal oscillator.

KEY-LOCK

To avoid unwanted operation, the SELECT button may be locked.

Pushing the button for more than 2 seconds will activate / deactivate the Key-Lock function. The activated state is displayed by the KEY-LOCK LED.

THE CLOCK OUTPUTS

EUCG V51 Mk II generates multiple of signals (see connection diagram on page 8).

When V51 Mk II is mounted to DIGI RACK 503/04/06 these signals are distributed to the internal bus system.

V52, V54 and V58 units connected to the bus will be supplied synchronously.

256 Fs is 256 times the single clock information. It is also known as master-clock (MCLK) and serves mainly to drive modulators of A/D converters. Its Frequency relative to 48 kHz is 12.288 Mhz.

128 Fs is 128 times the single clock information. It serves mainly to drive AES transmitters but is also used in SRC's and A/D converters. Its Frequency relative to 48 kHz is 6.144 Mhz.

64 Fs is 64 times the single clock information. It is also known as bit-clock (BCLK) or serial clock (SCLK) and serves mainly to create the digital dataword. Its Frequency relative to 48 kHz is 3.072 Mhz

Fs is the single clock information. It is also known as left-right-clock (LRCLK) and serves to identify left and right information inside the digital dataword. Its Frequency is 48 kHz.

ERR is an error information and serves for muting, locking, calibration etc. on the connected modules.

TCBL is these called blockstart information and is used to synchronise the output words from ADC's and SRC's

WCLK is identical toFs (see above)

AES-Sync is the AES/EBU sync signal which is generated out of an external or internal clock source. It is balanced according to AES 3/11 recommendations

TECHNICAL SUPPLEMENT

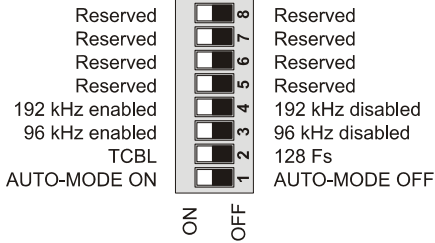
EUCG V51			
PIN-OUT OF 64-pin CONNECTOR DIN 41612 (a+c)			
GND	1a	1c	GND
(parallel to 16a) WCLK-Sync In	2a	2c	WCLK-Sync In (parallel to 16a)
GND	3a	3c	GND
(parallel to 17a) AES-Sync In (-)	4a	4c	AES-Sync In (+) (parallel to 17c)
GND	5a	5c	GND
GND	13a	13c	GND
256 Fs	14a	14c	128 Fs
64 Fs	15a	15c	Fs
(parallel to 2a/c) WCLK-Sync In	16a	16c	Error
(parallel to 4a) AES-Sync In (-)	17a	17c	AES-Sync In (+) (parallel to 4c)
GND	18a	18c	GND
Odd AES-Sync Out (-)	19a	19c	Odd AES-Sync Out (+)
GND	20a	20c	GND
Even AES-Sync Out (-)	21a	21c	Odd AES-Sync Even (+)
GND	22a	22c	GND
GND	28a	28c	GND
GND	29a	29c	GND
U IN (8...35 V DC)	30a	30c	U In (8 ... 35 V DC)
U IN-OUT (5 V)	31a	31c	IN-OUT (5 V)
GND	32a	32c	GND

TECHNICAL DATA EUCG V51

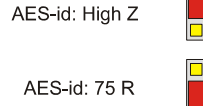
Digital Sync-Inputs:	<ul style="list-style-type: none"> - AES-Sync, transformer balanced according to AES 3(11)-1992 Impedance 110Ω - WCLK-Sync, unbalanced, Impedance 75 Ω (ex works), switchable to 10 kΩ
Input sensitivity:	< 200 mV
Internal oscillators:	44.1 und 48 kHz, activated with jumpers (other frequencies on request)
Valid clock range:	28 ... 56 (108) kHz
:Generated clocks	256 Fs, 128 Fs, 64 Fs, Fs, Error
Rise time:	< 5 nSec
Duty Cycle:	50 % +/- 5 %
Jitter:	< 1 nSec
Power supply:	5 V DC (Pin 31 a+c) or 8..35 V DC (inN 30 a+c)
Connector:	Multipin connector DIN 41612, form C, 64-pin, a+c

CONFIGURATION / JUMPERSETTING EUCG V51 Mk II

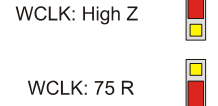
DIP-Switch Configuration



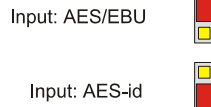
AES-id IMPEDANCE



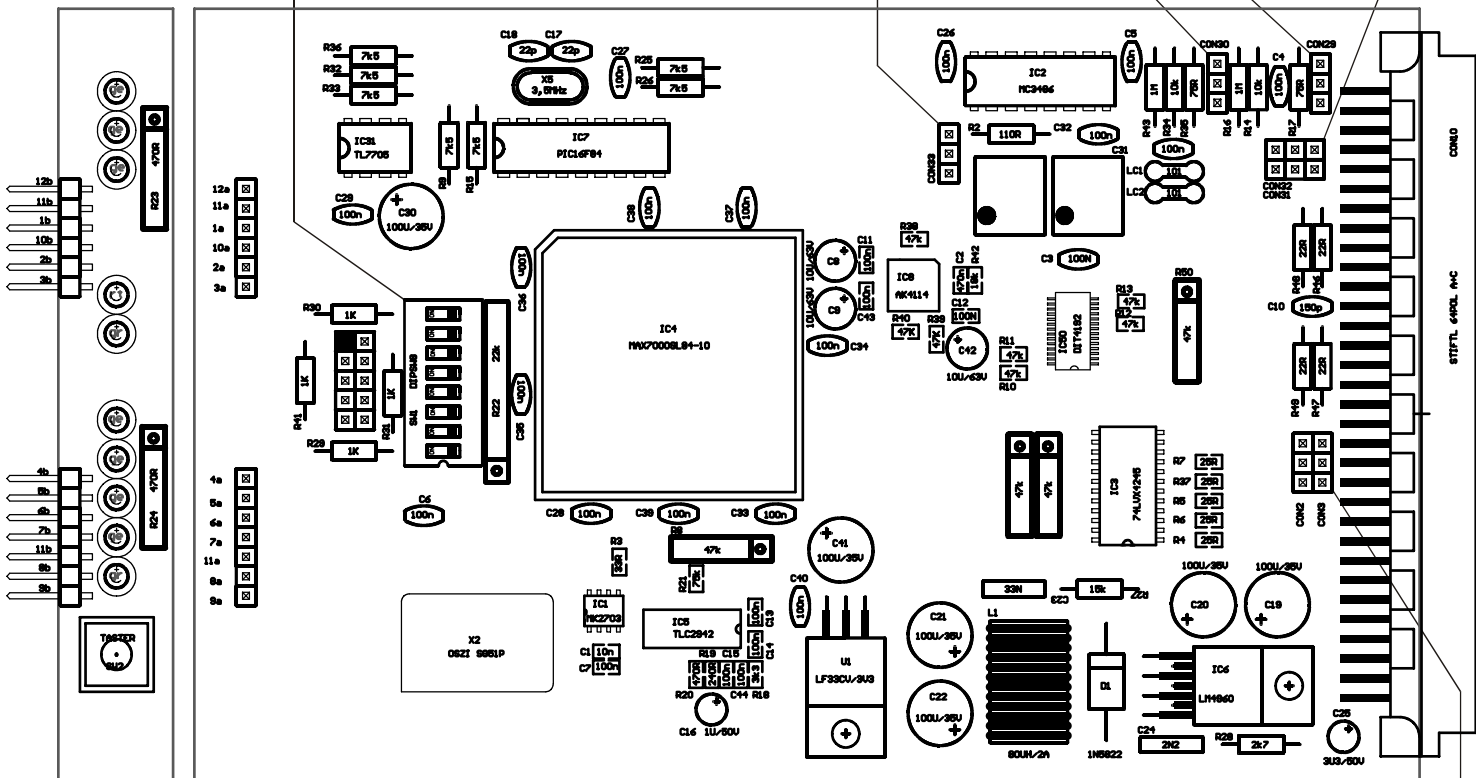
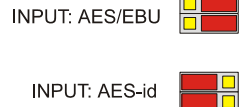
WCLK IMPEDANCE



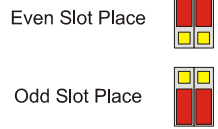
AES INPUT SELECT



AES INPUT SELECT



AES/EBU OUTPUT



KONFORMITÄTSERKLÄRUNG

CONFORMITY STATEMENT

Wir bestätigen hiermit, dass das folgende Gerät:

We herewith declare that the following unit:

Bezeichnung: **UNIVERSAL CLOCK
GENERATOR V51/MKII**

Name : **UNIVERSAL CLOCK
GENERATOR V51/MKII**

Serien Nr. : -alle-

Serial No: -all-

mit folgenden EU-Richtlinien bzw. Normen
übereinstimmt:

is in conformity with the following EC directives:

**73 / 23 / EWG neu 93 / 68 / EWG;
Niederspannungsrichtlinie**

**73 / 23 / EEC new 93 / 68 / EEC;
Low voltage directive**

Angewandte harmonisierte Norm:
EN 60065 : 2002

Applied harmonized Standard:
EN 60065 : 2002

**2004 / 108 / EG
Elektromagnetische Verträglichkeit**

**2004 / 108 / EG
Electromagnetic compatibility**

Zur Beurteilung des Erzeugnisses hinsichtlich seiner
elektromagnetischen Verträglichkeit wurden
folgende, harmonisierten Vorschriften angewendet:

For verification of conformity with regard to
electromagnetic compability the following
harmonized standards are applied:

EN 61000-6-3 : 2007
Fachgrundnorm Störaussendung

EN 61000-6-3 : 2007
Generic emission standard

EN 61000-6-1 : 2007
Fachgrundnorm Störfestigkeit

EN 61000-6-1 : 2007
Generic immunity standard

Produktfamilienorm für Audio- Video- und
audiovisuelle Einrichtungen sowie für Studio-
Lichtsteuereinrichtungen für professionellen Einsatz:

Product family standard for audio, video, audio-visual
and entertainment lightning control apparatus for
professional use:

EN 55103-1 / 2005 Teil 1: Störaussendung
EN 55103-2 / 2005 Teil 2: Störfestigkeit

EN 55103-1 / 2005 Part 1: Emission
EN 55103-2 / 2005 Part 2: Immunity

Lake People electronic GmbH
Turmstrasse 7a, D-78467 Konstanz



Konstanz 01.04.2010, Fried Reim, Geschäftsführer / CEO



LAKE PEOPLE electronic GmbH

development and manufacturing of audio electronic
Turmstrasse 7a 78467 Konstanz GERMANY
Tel. +49 (0) 7531 73678
Fax +49 (0) 7531 74998
www.lake-people.de